

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①⑪ N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 680 056

②① N° d'enregistrement national :

91 09710

⑤① Int Cl⁶ : H 02 M 7/538, 1/088

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 29.07.91.

③⑦ Priorité :

④③ Date de la mise à disposition du public de la
demande : 05.02.93 Bulletin 93/05.

⑤⑥ Liste des documents cités dans le rapport de
recherche : *Se reporter à la fin du présent fascicule.*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : CENTRE NATIONAL DE LA
RECHERCHE SCIENTIFIQUE (C.N.R.S.)
*Etablissement public doté de la personnalité civile et
de l'autonomie financière — FR.*

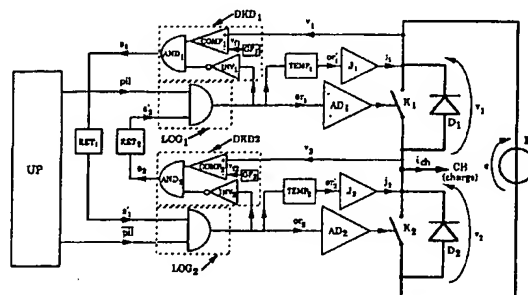
⑦② Inventeur(s) : Cheron Yvon et Cussac Philippe.

⑦③ Titulaire(s) :

⑦④ Mandataire : Cabinet Barré-Gatti-Laforgue.

⑤④ Convertisseur statique d'énergie électrique à semi-conducteurs.

⑤⑦ L'invention concerne un convertisseur statique d'énergie électrique semi-conducteurs, en particulier du type onduleur. Ce convertisseur se caractérise en ce qu'il comprend des détecteurs d'état (DKD₁, DKD₂) associés aux ensembles interrupteurs/diodes et une logique spécifique qui confère au convertisseur un caractère bistable évitant les courts-circuits et interdisant en outre tout blocage violent des diodes de roue libre (D₁, D₂). Un tel convertisseur est le siège de faibles pertes de commutation lui permettant de fonctionner à haute fréquence; il possède en outre une large plage de fonctionnement.



FR 2 680 056 - A1



CONVERTISSEUR STATIQUE D'ENERGIE ELECTRIQUE A SEMI-CONDUCTEURS

L'invention concerne un convertisseur
5 statique d'énergie électrique à semi-conducteurs. Elle vise un
convertisseur possédant deux interrupteurs statiques de type
commandable à l'amorçage et au blocage, aux bornes desquels
sont connectées en antiparallèle des diodes, parfois désignées
10 par "diodes de roue libre" (lesquelles assurent la libre
circulation du courant de charge en cas de blocage simultané
des deux interrupteurs). Cette structure de convertisseur est
en particulier utilisée pour réaliser des onduleurs de tension
ou des convertisseurs à résonance.

L'invention s'étend à un convertisseur
15 élémentaire comprenant deux interrupteurs ainsi qu'aux
convertisseurs plus complexes réalisés en combinant ces
convertisseurs élémentaires (chacun de ceux-ci étant
généralement désigné dans ce cas par "bras d'onduleur").

Il existe essentiellement deux types de
20 convertisseurs ayant la structure précitée : l'un fonctionnant
en commutation qualifiée de "dure", dans lequel les
commutations des interrupteurs sont indépendantes du signe du
courant qui traverse la charge, l'autre fonctionnant en
commutation "douce" dans lequel les commutations sont
25 réalisées en tenant compte du signe de ce courant en vue
d'éviter un blocage violent des diodes de roue libre,
susceptible d'induire des surintensités, des surtensions et
des pertes supplémentaires...

Dans le premier type de convertisseur, on
30 évite habituellement la conduction simultanée des deux
interrupteurs (qui induirait un court-circuit de la source de
tension) en introduisant un temps de retard (dit "temps mort")
entre le blocage d'un interrupteur et l'amorçage de l'autre.
Ce temps mort, fixe dans la plupart des montages, est parfois
35 adapté aux conditions de fonctionnement de façon à le
minimiser tout en évitant les courts-circuits (références :
J. BARRET, Thomson Semiconducteurs France, "Interactive
switching in a bridge leg" EPE'87 Grenoble ; S. BONTEMPS,
Power Compact S.A., "Module hybride de puissance pour la
40 commande et la protection de bras d'onduleur bipolaire

1000V/1000A.", Electronique de Puissance du Futur, Toulouse,
Octobre 1990) ; dans le cas d'une technologie bipolaire
(transistors bipolaires), la logique de commande du
5 convertisseur est alors réalisée en détectant l'état de
polarisation de la jonction base/émetteur de l'un des
transistors bipolaires et en interdisant l'amorçage de
l'interrupteur complémentaire si cette jonction est
conductrice. Cette amélioration évite les courts-circuits de
10 la source de tension mais n'exclut pas les blocages violents
des diodes de roue libre. De plus, cette technique est
difficilement transposable en dehors d'une technologie
bipolaire.

Les convertisseurs du second type
15 fonctionnant en commutation douce ont une logique de commande
qui tient compte du signe du courant de charge : ils
présentent, de ce fait, l'avantage essentiel d'exclure les
blocages violents des diodes et leurs conséquences
préjudiciables ; il convient de souligner que, pour un
20 interrupteur donné, la réduction des pertes par commutation
autorise des fréquences de fonctionnement beaucoup plus
élevées. De plus, moyennant des logiques de commutation
spécifiques, certains montages de ce second type excluent
également les risques de court-circuit de la source de tension
25 (brevet FR 78/32428). Toutefois, ces montages présentent un
certain nombre de défauts dus précisément à leur logique de
commutation très contraignante : cette logique interdit, en
effet, les commutations à courant de charge nul et exige
donc, au démarrage, un dispositif auxiliaire spécifique pour
30 initier le fonctionnement ; en outre, au voisinage des
fonctionnements à vide, cette logique conduit à des arrêts
intempestifs qui nécessitent l'adjonction de circuits
auxiliaires de forçage de commutation (brevet FR 85/16894).
En d'autres termes, la logique de commande des convertisseurs
35 de ce second type assure une sécurité de commutation idéale
mais implique une réduction importante de la plage de
fonctionnement : pour élargir à nouveau cette plage, il
devient alors nécessaire de modifier les circuits de
puissance, avec des surcoûts élevés.

un nouveau convertisseur à commutations douces, exempt des défauts précités. L'invention vise en particulier à permettre de réunir simultanément les avantages suivants :

- 5 - commutation douce s'accompagnant de surintensités et surtensions négligeables et de pertes énergétiques réduites compatibles avec des Fréquences de commutation élevées (plusieurs centaines de kilohertz),
- 10 - sécurité de fonctionnement supprimant tout risque de court-circuit de la source de tension,
- démarrage naturel sans moyens de forçage,
- fonctionnement à vide (courant de charge nul).

Le convertisseur statique visé par
15 l'invention comprend :

- une source de tension,
- un premier interrupteur statique du type commandable à l'amorçage et au blocage, ayant deux électrodes de puissance et une électrode de commande,
- 20 - un second interrupteur statique du type commandable à l'amorçage et au blocage, ayant deux électrodes de puissance et une électrode de commande, les deux interrupteurs étant connectés en série sur la source de tension et possédant un point commun pour la connexion d'une
- 25 charge,
- une première diode connectée en antiparallèle entre les électrodes de puissance du premier interrupteur,
- une seconde diode connectée en
- 30 antiparallèle entre les électrodes de puissance du second interrupteur,
- un premier circuit d'adaptation associé au premier interrupteur pour assurer une polarisation de son électrode de commande apte à déclencher les changements
- 35 d'états de celui-ci,
- un second circuit d'adaptation associé au second interrupteur pour assurer une polarisation de son électrode de commande apte à déclencher les changements d'états de celui-ci,
- 40 - une unité de pilotage adaptée pour délivrer

des signaux logiques de pilotage complémentaires.

Selon la présente invention, ce convertisseur comprend en outre :

5 - un premier détecteur d'état associé à l'ensemble premier interrupteur/première diode pour délivrer un signal d'état représentatif de l'état bloqué ou conducteur de l'ensemble premier interrupteur/première diode, l'état bloqué dudit ensemble étant défini comme l'état où
10 l'interrupteur et la diode sont simultanément bloqués et l'état conducteur comme l'état où l'un au moins est passant,

 - un second détecteur d'état associé à l'ensemble second interrupteur/seconde diode pour délivrer un signal d'état représentatif de l'état bloqué ou conducteur de
15 l'ensemble second interrupteur/seconde diode, l'état bloqué dudit ensemble étant défini comme l'état où l'interrupteur et la diode sont simultanément bloqués et l'état conducteur comme l'état où l'un au moins est passant,

 - une première interface logique intercalée
20 entre l'unité de pilotage et le premier circuit d'adaptation, et reliée au second détecteur d'état, ladite première interface logique recevant un signal logique de pilotage issu de l'unité de pilotage et le signal d'état issu du second détecteur d'état, et étant adaptée pour délivrer vers le
25 premier circuit d'adaptation un ordre de conduction si et seulement si :

 . le signal logique de pilotage issu de l'unité de pilotage correspond à une autorisation de conduction,

ET

30 . le signal d'état issu du second détecteur d'état est représentatif de l'état bloqué de l'ensemble second interrupteur/seconde diode, et un ordre de blocage si :

 . le signal logique de pilotage correspond à un ordre de
35 blocage,

OU

 . le signal d'état est représentatif de l'état conducteur de l'ensemble second interrupteur/seconde diode,

 - une seconde interface logique intercalée
40 entre l'unité de pilotage et le second circuit d'adaptation,

et reliée au premier détecteur d'état, ladite seconde interface logique recevant un signal logique de pilotage issu de l'unité de pilotage et le signal d'état issu du premier 5 détecteur d'état, et étant adaptée pour délivrer vers le second circuit d'adaptation un ordre de conduction si et seulement si :

. le signal logique de pilotage issu de l'unité de pilotage correspond à une autorisation de conduction,

10 ET

. le signal d'état issu du premier détecteur d'état est représentatif de l'état bloqué de l'ensemble premier interrupteur/première diode, et un ordre de blocage si :

15 . le signal logique de pilotage correspond à un ordre de blocage,

OU

. le signal d'état est représentatif de l'état conducteur de l'ensemble premier interrupteur/première diode.

20 Ainsi, dans le convertisseur de l'invention, les détecteurs d'état assurent une surveillance des deux ensembles interrupteur/diode ; leur agencement croisé ainsi que la logique des interfaces permettent d'interdire de façon stricte l'amorçage d'un interrupteur si l'ensemble opposé 25 interrupteur/diode n'est pas bloqué, de sorte que tout court-circuit de la source de tension est exclu de même que tout blocage brusque des diodes. De plus, lorsque les deux interrupteurs sont bloqués, la tension délivrée par la source se répartit sur ces deux interrupteurs et chaque détecteur 30 d'état autorise l'amorçage de l'interrupteur opposé : le démarrage peut ainsi se produire sous le contrôle de l'unité de pilotage.

Selon un mode de réalisation préféré, le convertisseur comprend également :

35 - un circuit retard intercalé entre la première interface logique et le second détecteur d'état en vue d'introduire un retard sur le signal d'état et de délivrer vers la première interface logique un signal d'état retardé,

- un circuit retard intercalé entre la 40 seconde interface logique et le premier détecteur d'état en

vue d'introduire un retard sur le signal d'état et de délivrer vers la seconde interface logique un signal d'état retardé.

De préférence, ces circuits retards sont
5 adaptés pour introduire des retards égaux sur les signaux d'état afin de préserver la symétrie de fonctionnement du convertisseur.

Ces circuits retards garantissent, quel que soit le point de fonctionnement, une commutation à l'amorçage
10 des interrupteurs sous tension minimale. En effet, lorsqu'un blocage est détecté sur un ensemble donné interrupteur/diode, le circuit retard du détecteur concerné diffère l'autorisation d'amorçage affecté à l'interrupteur opposé, permettant ainsi à la tension aux bornes de cet interrupteur de décroître. Un
15 choix approprié de la valeur de ce retard permet dans chaque application de réaliser l'amorçage sous tension minimale, notamment sous tension nulle lorsque le courant de charge est suffisant à l'instant de la commutation.

En outre, le convertisseur conforme à
20 l'invention comprend avantageusement :

- une première source de courant impulsioonelle associée au premier interrupteur pour forcer l'apparition d'une tension directe entre ses électrodes de puissance après polarisation de l'électrode de commande dudit
25 interrupteur dans le sens du blocage,

- une seconde source de courant impulsioonelle associée au second interrupteur pour forcer l'apparition d'une tension directe entre ses électrodes de puissance après polarisation de l'électrode de commande dudit
30 interrupteur dans le sens du blocage.

Dans le cas où le courant traversant la charge est nul ou faible aux instants de commutations, ces sources ont pour fonction de renforcer temporairement le courant de charge de façon à faire apparaître artificiellement
35 une tension directe entre les électrodes de puissance de l'interrupteur qui doit être bloqué : cette tension amène le détecteur d'état de l'ensemble interrupteur/diode concerné à considérer cet ensemble comme bloqué de façon à autoriser aussitôt l'amorçage de l'interrupteur opposé. De plus, dans le
40 cas où le courant de charge est un courant de diode faible, la

source de courant permet de bloquer la diode correspondante (qui est alors traversée par un courant faible), à l'apparition de l'ordre de blocage de l'interrupteur associé :
5 ceci assure, dans ce cas, l'apparition de la tension directe sus-évoquée.

De préférence, un circuit retard est associé à chaque source de courant impulsionnelle en vue de déclencher l'impulsion de courant avec un retard prédéterminé après
10 apparition d'un ordre de blocage à la sortie de l'interface logique correspondante ; chaque source de courant étant du type source de courant limitée en tension, ce retard évite un déclenchement systématique des sources de courant après chaque ordre de blocage : en effet, si le courant de charge est
15 suffisant pour provoquer l'apparition de la tension directe sus-évoquée, la source de courant limitée en tension sera inhibée.

La description qui suit en référence aux dessins annexés présente un mode de réalisation préféré d'un
20 convertisseur conforme à l'invention et illustre l'allure des signaux correspondants ; sur ces dessins qui font partie intégrante de la description :

- la figure 1 est un schéma synoptique de ce convertisseur,
- 25 - la figure 2 est un schéma électronique de détail, donnant un exemple de réalisation d'une source de courant impulsionnelle,
- les figures 3a à 3n, 4a à 4n, et 5a à 5n, sont des chronogrammes illustrant divers modes de
30 fonctionnement du convertisseur,
- la figure 6 est un schéma synoptique d'une application de l'invention (onduleur à résonance série).

Le convertisseur élémentaire représenté à titre d'exemple à la figure 1 est un bras d'onduleur qui peut
35 être combiné à un ou plusieurs bras identiques en vue d'alimenter une charge CH (mono ou polyphasée) ; ces convertisseurs élémentaires sont alimentés par une même source de tension (E) qui en l'exemple est une source continue d'amplitude e.

40 Chaque convertisseur élémentaire comprend

deux interrupteurs statiques K_1 et K_2 du type commandable à l'amorçage et au blocage. Chaque interrupteur est connecté à une diode (de roue libre) en antiparallèle D_1 , D_2 . Les interrupteurs K_1 et K_2 peuvent notamment être des transistors MOS, les diodes D_1 et D_2 étant alors naturellement intégrés dans ces composants (diodes de corps).

Les deux interrupteurs K_1 et K_2 sont connectés en série aux bornes de la source de tension E , la charge étant connectée en étoile avec les deux interrupteurs.

De façon habituelle, l'électrode de commande de chaque interrupteur K_1 ou K_2 est reliée à un circuit d'adaptation AD_1 ou AD_2 (couramment désigné par "circuit driver") qui assure la mise en forme, l'adaptation et l'amplification du signal logique de commande reçu or_1 , or_2 en vue de déclencher les changements d'état de l'interrupteur K_1 ou K_2 .

Le convertisseur comprend une unité de pilotage UP qui est connue en soi (généralement un microprocesseur) et délivre deux signaux logiques de pilotage complémentaires pil et \overline{pil} en vue de contrôler, selon l'application, les échanges d'énergie entre la source de tension E et la charge CH (par exemple réglage de l'amplitude et de la fréquence de la tension aux bornes de la charge dans le cas d'une charge passive).

Les signaux de pilotage pil et \overline{pil} sont délivrés sur des interfaces logiques LOG_1 et LOG_2 qui transforment lesdits signaux de pilotage en signaux de commande or_1 et or_2 porteur soit d'ordres de blocage $or_1 = 0$, $or_2 = 0$ soit d'ordres de conduction $or_1 = 1$, $or_2 = 1$, de façon à assurer la commutation des interrupteurs K_1 et K_2 dans des conditions spécifiques propres à l'invention qui conduisent aux avantages détaillés plus loin.

L'interface logique LOG_1 , (respectivement LOG_2) reçoit par ailleurs un signal d'état retardé s'_2 , (respectivement s'_1) représentatif de l'état bloqué ou passant de l'ensemble interrupteur K_2 /diode D_2 complémentaire (respectivement K_1/D_1).

Le signal d'état retardé s'_2 (respectivement s'_1) est élaboré par un détecteur d'état DKD_2 (respectivement

DKD₁) suivi d'un circuit retard RET₂ (respectivement RET₁).

Les deux circuits retards RET₁, RET₂ introduisent de préférence un retard identique, égal à une fraction de la période de commutation des interrupteurs.

Chaque détecteur d'état DKD₁ (ou DKD₂) comprend en l'exemple représenté à la figure 1 :

- . un comparateur de tension COMP₁ (ou COMP₂) agencé pour comparer la tension inverse v_1 (ou v_2) aux bornes de la diode correspondante D₁ (ou D₂) avec une tension de référence v_{f1} (ou v_{f2}) supérieure à la tension de saturation des interrupteurs statiques, et inférieure à la tension e aux bornes de la source de tension E ,

- . un inverseur INV₁ (ou INV₂) agencé pour recevoir le signal logique de commande issu de l'interface logique LOG₁ (ou LOG₂) en vue de délivrer un signal complémentaire,

- . une porte ET logique AND₁ (ou AND₂) agencée pour recevoir le signal issu du comparateur COMP₁ (ou COMP₂) et le signal complémentaire issu de l'inverseur INV₁ (ou INV₂) en vue de délivrer le signal d'état s_1 (ou s_2).

La tension de référence est délivrée par un générateur de tension GF₁ (ou GF₂) et est fixée dans chaque application en fonction du type d'interrupteur à une valeur supérieure à la tension de saturation de celui-ci, en particulier de l'ordre de 1,2 à 2 fois la tension de saturation.

De façon classique, en sortie de chaque détecteur d'état, le signal s_1 ou s_2 est isolé galvaniquement, par exemple à l'aide d'un optocoupleur.

L'interface logique LOG₁ (respectivement LOG₂) associé à l'interrupteur K₁ (respectivement K₂) reçoit un signal de pilotage \overline{pil} (respectivement \overline{pil}) et le signal d'état retardé s'_2 (respectivement s'_1) représentatif de l'état de l'ensemble interrupteur K₂/diode D₂ complémentaire (respectivement K₁/D₁). Cette interface LOG₁ (respectivement LOG₂) qui peut être une porte logique ET délivre vers le circuit d'adaptation associé AD₁ (respectivement AD₂) un signal logique de commande or_1 (respectivement or_2) ; ce signal est porteur d'un ordre de conduction $or_1 = 1$

(respectivement $or_2 = 1$) si et seulement si :

. le signal logique de pilotage pil (respectivement \bar{pil}) correspond à une autorisation de conduction,

ET

. le signal d'état retardé s'_2 (respectivement s'_1) est représentatif de l'état bloqué de l'ensemble interrupteur K_2 /diode D_2 (respectivement K_1/D_1).

10 Ce signal de commande est porteur d'un ordre de blocage $or_1 = 0$ (respectivement $or_2 = 0$) dans les cas contraires.

Une telle logique de commande permet de gérer les échanges d'énergie entre source et charge, en bénéficiant
15 des avantages suivants. Tout blocage violent des diodes est exclu puisque, préalablement à l'amorçage d'un interrupteur, on s'assure du blocage de la diode complémentaire ; on s'affranchit de ce fait de tous les phénomènes afférant à ces blocages violents : surintensités, surtensions, pertes. Tout
20 risque de court-circuit de la source de tension est exclu puisque, préalablement à l'amorçage d'un interrupteur, on s'assure que l'interrupteur complémentaire est effectivement bloqué, c'est-à-dire qu'il a reçu un ordre de blocage et que cet ordre de blocage est devenu effectif au niveau de
25 l'interrupteur (une tension directe est apparue entre ses électrodes de puissance).

Le retard r_1 ou r_2 introduit par les circuits retards RET_1 ou RET_2 permet d'amorcer les interrupteurs sous la tension minimale et en particulier, lorsque le courant de
30 charge est suffisant à l'instant d'une commutation, d'amorcer les interrupteurs sous tension nulle, de façon à réduire les pertes par commutation dans ces interrupteurs.

Par ailleurs, le convertisseur comprend, associé à chaque ensemble interrupteur K_1 /diode D_1
35 (respectivement K_2/D_2) une source de courant impulsionnelle J_1 (respectivement J_2) qui est pourvue d'une sortie de puissance connectée à la cathode de la diode D_1 (respectivement D_2) et d'une entrée de commande connectée à la sortie de l'interface logique LOG_1 (respectivement LOG_2) en vue d'engendrer une
40 impulsion de courant j_1 (respectivement j_2) en présence d'un

11

ordre de blocage $or_1 = 0$ (respectivement $or_2 = 0$) issu de ladite interface logique, et ainsi de forcer l'apparition d'une tension directe v_1 (respectivement v_2) entre les 5 électrodes de puissance de l'interrupteur K_1 (respectivement K_2) après polarisation de son électrode de commande dans le sens du blocage ; la source de courant est adaptée pour que cette tension directe v_1 (respectivement v_2) soit supérieure à la tension de référence v_{f1} (respectivement v_{f2}) engendrée 10 dans le détecteur d'état DKD_1 (respectivement DKD_2).

Un circuit retard $TEMP_1$ (respectivement $TEMP_2$) est en l'exemple associé à la source de courant impulsionnelle J_1 (respectivement J_2) qui est du type limité en tension, en vue de déclencher l'impulsion de courant avec 15 un retard prédéterminé b_1 (respectivement b_2) après apparition de l'ordre de blocage $or_1 = 0$ (respectivement $or_2 = 0$).

De préférence, les circuits retards $TEMP_1$ et $TEMP_2$ associés aux deux sources J_1 et J_2 sont adaptés pour introduire des retards égaux $b_1 = b_2$.

20 Ainsi, en l'absence de courant de charge i_{ch} ou en cas d'insuffisance, chaque source de courant J_1 , J_2 fait apparaître une tension directe aux bornes de l'interrupteur correspondant K_1 , K_2 , qui est supérieure à la tension de référence v_{f1} ou v_{f2} et permet au détecteur d'état de 25 considérer que l'ensemble correspondant interrupteur/diode est bloqué : l'amorçage de l'interrupteur complémentaire est alors possible. Ces dispositions permettent en particulier d'obtenir le fonctionnement à vide du convertisseur (courant de charge i_{ch} nul) ainsi que son démarrage dans tous les cas ; de plus, 30 si le courant de charge à l'instant d'une commutation est un courant de diode faible, la source de courant entraîne un blocage de la diode correspondante, puis l'apparition d'une tension directe comme ci-dessus indiqué. On préserve ainsi le fonctionnement du convertisseur dans les meilleures conditions 35 de commutation sur une plage de variation du courant de charge la plus large possible. Au-delà de cette plage, le convertisseur est naturellement auto-protégé contre les blocages violents des diodes, puisqu'il cesse alors de commuter.

40

Le retard b_1 ou b_2 de déclenchement de la

source J_1 ou J_2 évite que celle-ci débite si le courant de charge est suffisant pour développer une tension directe aux bornes des interrupteurs K_1 ou K_2 (tension supérieure à la 5 tension de référence v_{f1} ou v_{f2}).

La figure 2 présente un exemple de réalisation d'une source de courant impulsionnelle J_1 (ou J_2). Le signal de commande retardé or'_1 issu du circuit retard $TEMP_1$ est délivré sur l'électrode de commande d'un 10 interrupteur statique T_{j1} (en l'exemple la grille d'un transistor MOS). Ce transistor T_{j1} est connecté, d'une part, à une source de tension d'amplitude e_1 qui permet de calibrer l'impulsion de courant j_1 , d'autre part, à une inductance L_{j1} en série avec une diode D_{j1} . La mise en conduction du 15 transistor T_{j1} déclenche une oscillation de courant à travers le circuit oscillant constitué par l'inductance L_{j1} et le condensateur inter-électrodes de puissance de l'ensemble interrupteur K_1 /diode D_1 . La diode D_{j1} empêche l'apparition de cette oscillation de courant si la tension directe aux bornes 20 de l'interrupteur K_1 est supérieure à la tension e_1 . (Cette tension peut en particulier être choisie égale aux seuils v_{f1} ou v_{f2}).

De ce fait, grâce à l'introduction d'un retard b_1 à la mise en conduction du transistor T_{j1} , la diode 25 D_{j1} inhibe spontanément la source de courant en cas de tension directe suffisante entre les bornes de l'interrupteur K_1 .

Les figures 3a à 3n illustrent les signaux essentiels engendrés dans le convertisseur dans le cas d'une commutation dans le sens du blocage de l'interrupteur K_2 avec 30 un courant de charge i_{ch} faible mais non nul. Sur ces figures, on a supposé que les tensions v_{f1} , v_{f2} , e_1 et e_2 étaient égales (figure 3c).

Le front de passage à 0 de \overline{pil} représente un ordre de blocage de l'interrupteur K_2 , tandis que le passage à 35 1 de \overline{pil} représente l'autorisation d'amorçage de l'interrupteur K_1 (figures 3a, 3b).

On voit à la figure 3k que le signal de commande bascule en ordre de blocage : $or_2 = 0$; le basculement du signal de commande or_1 est différé (figure 3f). 40 A partir de l'instant de blocage de l'interrupteur K_2 , le

courant de charge i_{ch} est dévié vers les condensateurs C_1 et C_2 intrinsèques aux interrupteurs K_1 et K_2 (figure 3 n). De ce fait, les tensions v_1 et v_2 évoluent comme l'illustre la figure 3c : croissance de la tension v_2 à partir de 0 et décroissance de la tension v_1 à partir de $+e$. La tension v_2 passe la tension de seuil v_{f2} et induit le basculement du comparateur $COMP_2$ et conjointement du signal s_2 issu du détecteur d'état DKD_2 (figure 3d). L'ensemble interrupteur K_2 /diode D_2 est alors considéré comme bloqué (signal d'état $s_2 = 1$).

Le phénomène de charge du condensateur C_2 et de décharge du condensateur C_1 se poursuit. Après un retard b_2 , le signal de commande retardé or'_2 bascule (figure 3l) et sollicite la source de courant J_2 : comme à cet instant de sollicitation, la tension v_2 est supérieure à la tension et alimentation e_2 de la source de courant J_2 , cette source est inhibée par la diode D_{j2} (figure 3m). Ceci illustre l'intérêt du retard b_2 qui évite à la source de courant impulsionnelle de débiter inutilement. Après un retard r_2 , le signal d'état retardé s'_2 bascule à son tour et conjointement le signal de commande or_1 bascule et se traduit par un ordre de conduction de l'interrupteur K_1 : $or_1 = 1$ (figures 3e et 3f). L'amorçage de cet interrupteur K_1 provoque l'effondrement de la tension v_1 et, de ce fait, la tension v_2 passe à la valeur $+e$ (figure 3c). En chutant, la tension v_1 passe en dessous du seuil v_{f1} et provoque le basculement à 0 des signaux d'état s_1 et s'_1 (figures 3i et 3j), ce qui confirme l'interdiction d'amorçage de l'interrupteur K_2 . Ceci montre l'intérêt du retard r_2 qui permet un amorçage de l'interrupteur sous tension minimale de façon à réduire les pertes.

Les figures 4a à 4n illustrent les mêmes signaux, mais dans le cas d'une commutation sous courant de charge $i_{ch} = 0$ (fonctionnement à vide). Suite à l'ordre de blocage de l'interrupteur K_2 ($or_2 = 0$, figure 4k), les tensions v_1 et v_2 n'évoluent pas puisque $i_{ch} = 0$. Après un retard b_2 , la source de courant J_2 est sollicitée ($or'_2 = 1$; figure 4l). Dans ce cas, cette source de courant n'est plus inhibée et délivre une impulsion de courant (figure 4m) qui assure un fonctionnement identique au cas précédent

(croissance de la tension v_2 et décroissance de la tension v_1 ...).

Les figures 5a à 5n illustrent les mêmes signaux mais dans le cas d'une commutation sous courant de charge i_{ch} de valeur suffisante pour assurer l'amorçage des interrupteurs sous tension nulle. Le courant de charge a, dans ce cas, une valeur suffisante pour assurer la charge complète du condensateur C_2 ($v_2 = +e$) et la décharge complète du condensateur C_1 ($v_1 = 0$) (figures 5c et 5n), ceci avant que le signal d'état retardé s'_2 bascule (figure 5e) : la mise en conduction de l'interrupteur K_1 s'effectue donc sous tension nulle après une séquence de conduction de la diode D_1 .

La figure 6 est un schéma d'un convertisseur à résonance série continu/continu non réversible. Ce convertisseur est constitué par deux bras d'onduleur du type précédent, agencés en pont complet. Chaque interrupteur des deux bras est constitué par un transistor MOS (MOS_1 ... MOS_4) ; les diodes représentées sont les diodes de corps desdits transistors ; les capacités représentées sont les capacités intrinsèques aux transistors. La charge est constituée par un transformateur T dont le primaire est connecté en série avec un circuit oscillant série LC et dont le secondaire débite sur un redresseur à diode classique RED. A cette figure, la partie commande de chaque bras d'onduleur PCM_{12} , PCM_{34} est identique à celle décrite précédemment.

Un tel convertisseur est particulièrement intéressant pour fonctionner à haute fréquence (quelques centaines de kilohertz), ce fonctionnement n'étant viable qu'en raison des performances du dispositif, en particulier la réduction des pertes par commutation et la sécurité de fonctionnement.

REVENDEICATIONS

- 1/ - Convertisseur statique d'énergie électrique à semi-conducteurs, comprenant :
- 5 - une source de tension (E),
 - un premier interrupteur statique (K_1) du type commandable à l'amorçage et au blocage, ayant deux électrodes de puissance et une électrode de commande,
 - un second interrupteur statique (K_2) du type commandable à l'amorçage et au blocage, ayant deux électrodes de puissance et une électrode de commande, les deux interrupteurs étant connectés en série sur la source de tension (E) et possédant un point commun pour la connexion d'une charge (CH),
 - 10 - une première diode (D_1) connectée en antiparallèle entre les électrodes de puissance du premier interrupteur (K_1),
 - une seconde diode (D_2) connectée en antiparallèle entre les électrodes de puissance du second interrupteur (K_2),
 - 20 - un premier circuit d'adaptation (AD_1) associé au premier interrupteur (K_1) pour assurer une polarisation de son électrode de commande apte à déclencher les changements d'états de celui-ci,
 - 25 - un second circuit d'adaptation (AD_2) associé au second interrupteur (K_2) pour assurer une polarisation de son électrode de commande apte à déclencher les changements d'états de celui-ci,
 - une unité de pilotage (UP) adaptée pour délivrer des signaux logiques de pilotage complémentaires (\overline{pil} , \overline{pil}),
 - 30 ledit convertisseur statique étant caractérisé en ce qu'il comprend :
 - un premier détecteur d'état (DKD_1) associé à l'ensemble premier interrupteur (K_1)/première diode (D_1) pour délivrer un signal d'état (s_1) représentatif de l'état bloqué ou conducteur de l'ensemble premier interrupteur (K_1)/première diode (D_1), l'état bloqué dudit ensemble étant défini comme l'état où l'interrupteur (K_1) et la diode (D_1) sont simultanément bloqués et l'état conducteur comme l'état
 - 40

où l'un au moins est passant,

- un second détecteur d'état (DKD_2) associé à l'ensemble second interrupteur (K_2)/seconde diode (D_2) pour
5 délivrer un signal d'état (s_2) représentatif de l'état bloqué ou conducteur de l'ensemble second interrupteur (K_2)/seconde diode (D_2), l'état bloqué dudit ensemble étant défini comme l'état où l'interrupteur (K_2) et la diode (D_2) sont simultanément bloqués et l'état conducteur comme l'état où
10 l'un au moins est passant,

- une première interface logique ($LOG1$) intercalée entre l'unité de pilotage (UP) et le premier circuit d'adaptation (AD_1), et reliée au second détecteur d'état (DKD_2), ladite première interface logique ($LOG1$)
15 recevant un signal logique de pilotage (pil) issu de l'unité de pilotage et le signal d'état (s_2) issu du second détecteur d'état et étant adaptée pour délivrer vers le premier circuit d'adaptation (AD_1) un signal logique de commande (or_1) porteur d'un ordre de conduction ($or_1 = 1$) si et seulement si :

20 . le signal logique de pilotage (pil) issu de l'unité de pilotage (UP) correspond à une autorisation de conduction,
ET

. le signal d'état (s_2) issu du second détecteur d'état (DKD_2) est représentatif de l'état bloqué de l'ensemble second
25 interrupteur (K_2)/seconde diode (D_2),
et porteur d'un ordre de blocage ($or_1 = 0$) si :

. le signal logique de pilotage (pil) correspond à un ordre de blocage,
OU

30 . le signal d'état (s_2) est représentatif de l'état conducteur de l'ensemble second interrupteur (K_2)/seconde diode (D_2),

- une seconde interface logique ($LOG2$) intercalée entre l'unité de pilotage (UP) et le second circuit
35 d'adaptation (AD_2), et reliée au premier détecteur d'état (DKD_1), ladite seconde interface logique ($LOG2$) recevant un signal logique de pilotage (\overline{pil}) issu de l'unité de pilotage et le signal d'état (s_1) issu du premier détecteur d'état, et étant adaptée pour délivrer vers le second circuit
40 d'adaptation (AD_2) un signal logique de conduction (or_2)

porteur d'un ordre de conduction ($or_2 = 1$) si et seulement si :

. le signal logique de pilotage (\overline{pil}) issu de l'unité de pilotage (UP) correspond à une autorisation de conduction,

ET

. le signal d'état (s_1) issu du premier détecteur d'état (DKD_1) est représentatif de l'état bloqué de l'ensemble premier interrupteur (K_1)/première diode (D_1),

10 et porteur d'un ordre de blocage ($or_2 = 0$) si :

. le signal logique de pilotage (\overline{pil}) correspond à un ordre de blocage,

OU

. le signal d'état (s_1) est représentatif de l'état 15 conducteur de l'ensemble premier interrupteur (K_1)/première diode (D_1).

2/ - Convertisseur selon la revendication 1, caractérisé en ce que :

- un circuit retard (RET_2) est intercalé 20 entre la première interface logique (LOG_1) et le second détecteur d'état (DKD_2) en vue d'introduire un retard (r_2) sur le signal d'état (s_2) et de délivrer vers la première interface logique un signal d'état retardé (s'_2),

- un circuit retard (RET_1) est intercalé 25 entre la seconde interface logique (LOG_2) et le premier détecteur d'état (DKD_1) en vue d'introduire un retard (r_1) sur le signal d'état (s_1) et de délivrer vers la seconde interface logique un signal d'état retardé (s'_1).

3/ - Convertisseur selon la revendication 2, 30 caractérisé en ce que les deux circuits retards (RET_1 , RET_2) sont adaptés pour introduire des retards (r_1 , r_2) égaux sur les signaux d'état (s_1 , s_2).

4/ - Convertisseur selon l'une des revendications 1, 2 ou 3, caractérisé en ce qu'il comprend :

35 - une première source de courant impulsionnelle (J_1) associée au premier interrupteur (K_1) pour forcer l'apparition d'une tension directe (v_1) entre ses électrodes de puissance après polarisation de l'électrode de commande dudit interrupteur dans le sens du blocage,

40 - une seconde source de commande

impulsionnelle (J_2) associée au second interrupteur (K_2) pour forcer l'apparition d'une tension directe (v_2) entre ses électrodes de puissance après polarisation de l'électrode de commande dudit interrupteur dans le sens du blocage.

5/ - Convertisseur selon la revendication 4, caractérisé en ce que chaque source de courant impulsionnelle (J_1 , J_2) comprend une sortie de puissance connectée à la cathode de la diode correspondante (D_1 , D_2) et une entrée de commande connectée à la sortie de l'interface logique correspondante (LOG_1 , LOG_2) en vue d'engendrer une impulsion de courant (j_1 , j_2) en présence d'un ordre de blocage ($or_1 = 0$, $or_2 = 0$) issu de ladite interface logique.

6/ - Convertisseur selon l'une des revendications 4 ou 5, caractérisé en ce qu'un circuit retard ($TEMP_1$, $TEMP_2$) est associé à chaque source de courant impulsionnelle (J_1 , J_2) en vue de déclencher l'impulsion de courant avec un retard prédéterminé (b_1 , b_2) après apparition d'un ordre de blocage ($or_1 = 0$, $or_2 = 0$) à la sortie de l'interface logique correspondante (LOG_1 , LOG_2), chaque source de courant étant du type source de courant limitée en tension.

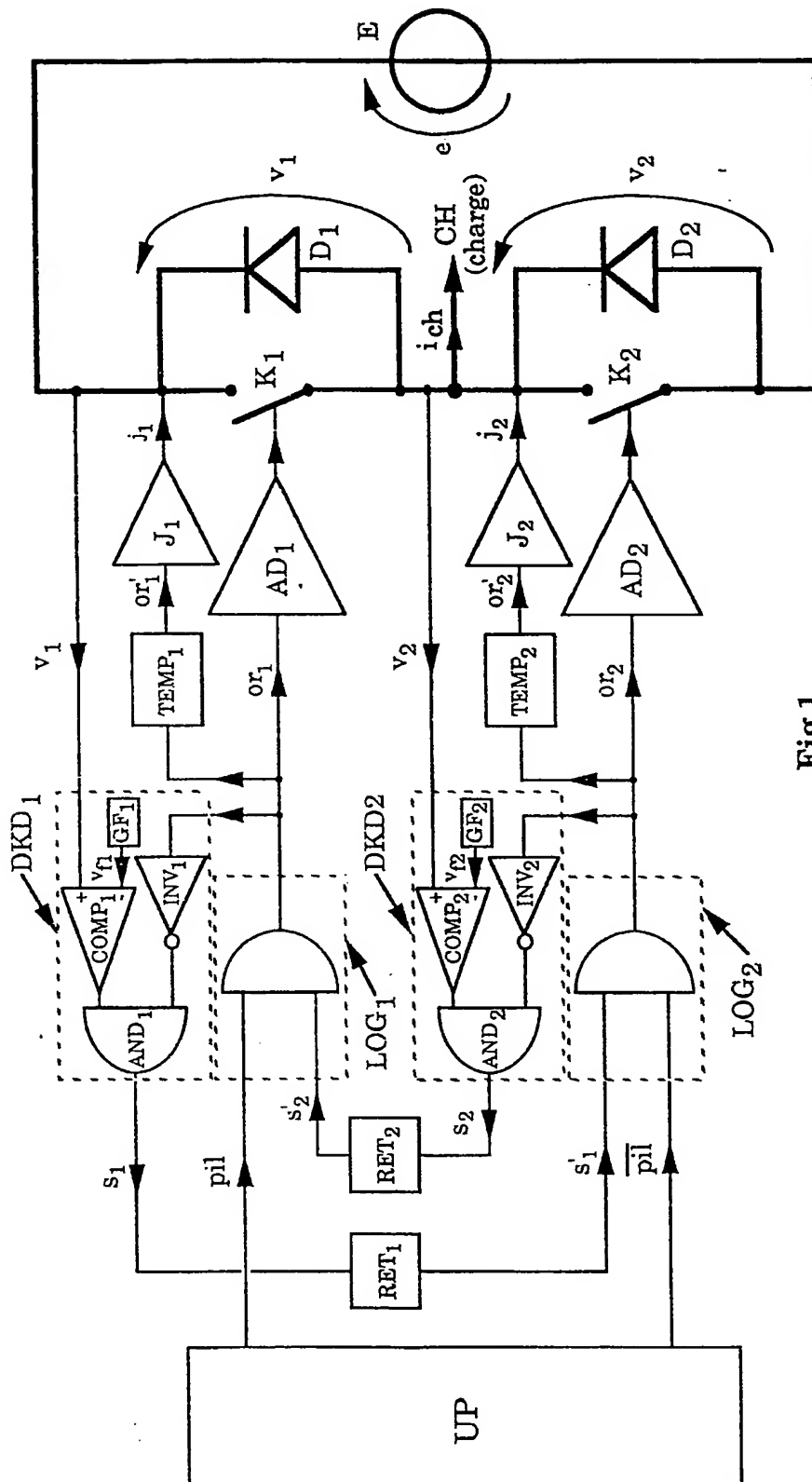
7/ - Convertisseur selon la revendication 6, caractérisé en ce que les circuits retards ($TEMP_1$, $TEMP_2$) associés aux deux sources de courant impulsionnelles (J_1 , J_2) sont adaptés pour introduire des retards (b_1 , b_2) égaux sur les ordres de blocage issus des interfaces logiques (LOG_1 , LOG_2).

8/ - Convertisseur selon l'une des revendications 1 à 7, dans lequel chaque détecteur d'état (DKD_1 , DKD_2) comprend :

- . un comparateur de tension ($COMP_1$, $COMP_2$) agencé pour comparer la tension inverse (v_1 , v_2) aux bornes de la diode correspondante (D_1 , D_2) avec une tension de référence (v_{f1} , v_{f2}) supérieure à la tension de saturation des interrupteurs statiques, et inférieure à la tension (e) aux bornes de la source de tension (E),

- . un inverseur (INV_1 , INV_2) agencé pour recevoir le signal logique de commande issu de l'interface logique (LOG_1 , LOG_2) en vue de délivrer un signal complémentaire,

. une porte ET logique (AND_1 , AND_2) agencée pour recevoir le signal issu du comparateur ($COMP_1$, $COMP_2$) et le signal complémentaire issu de l'inverseur (INV_1 , INV_2) en vue de délivrer le signal d'état (s_1 , s_2).



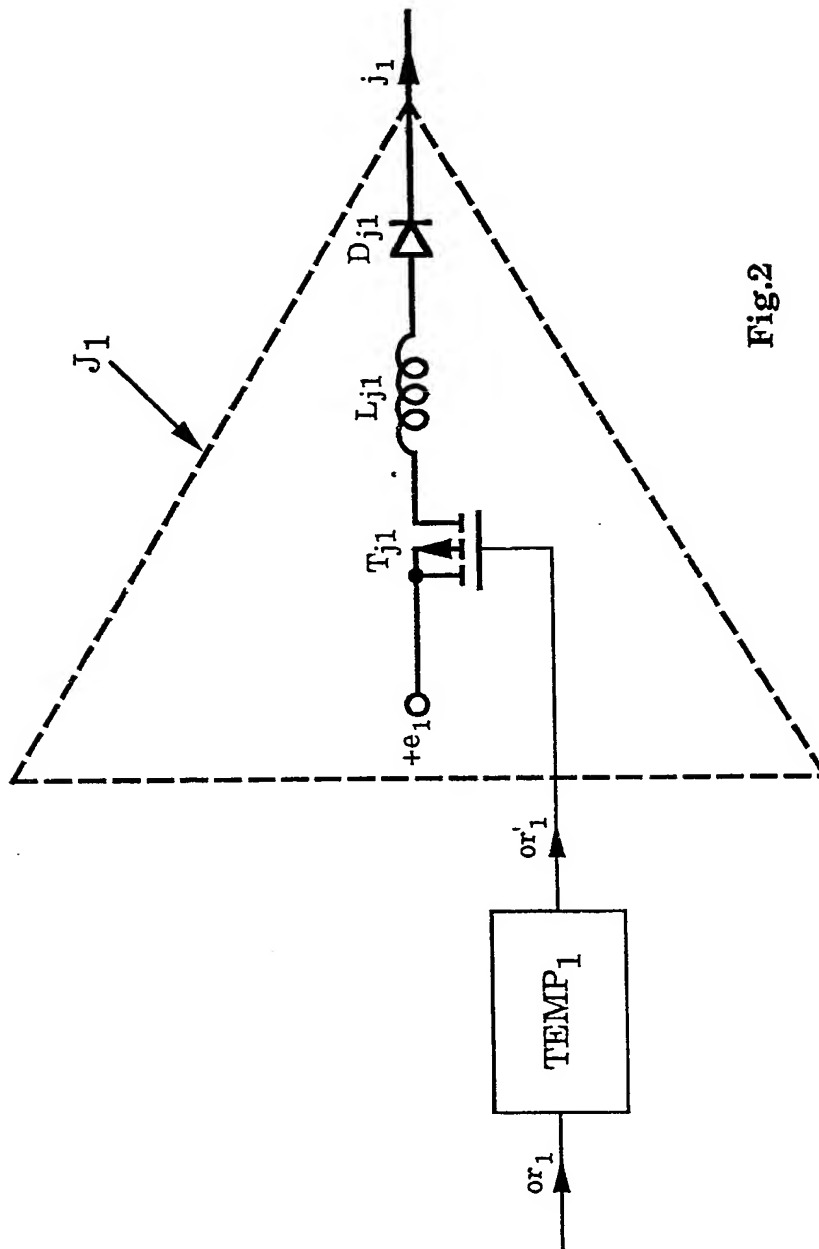
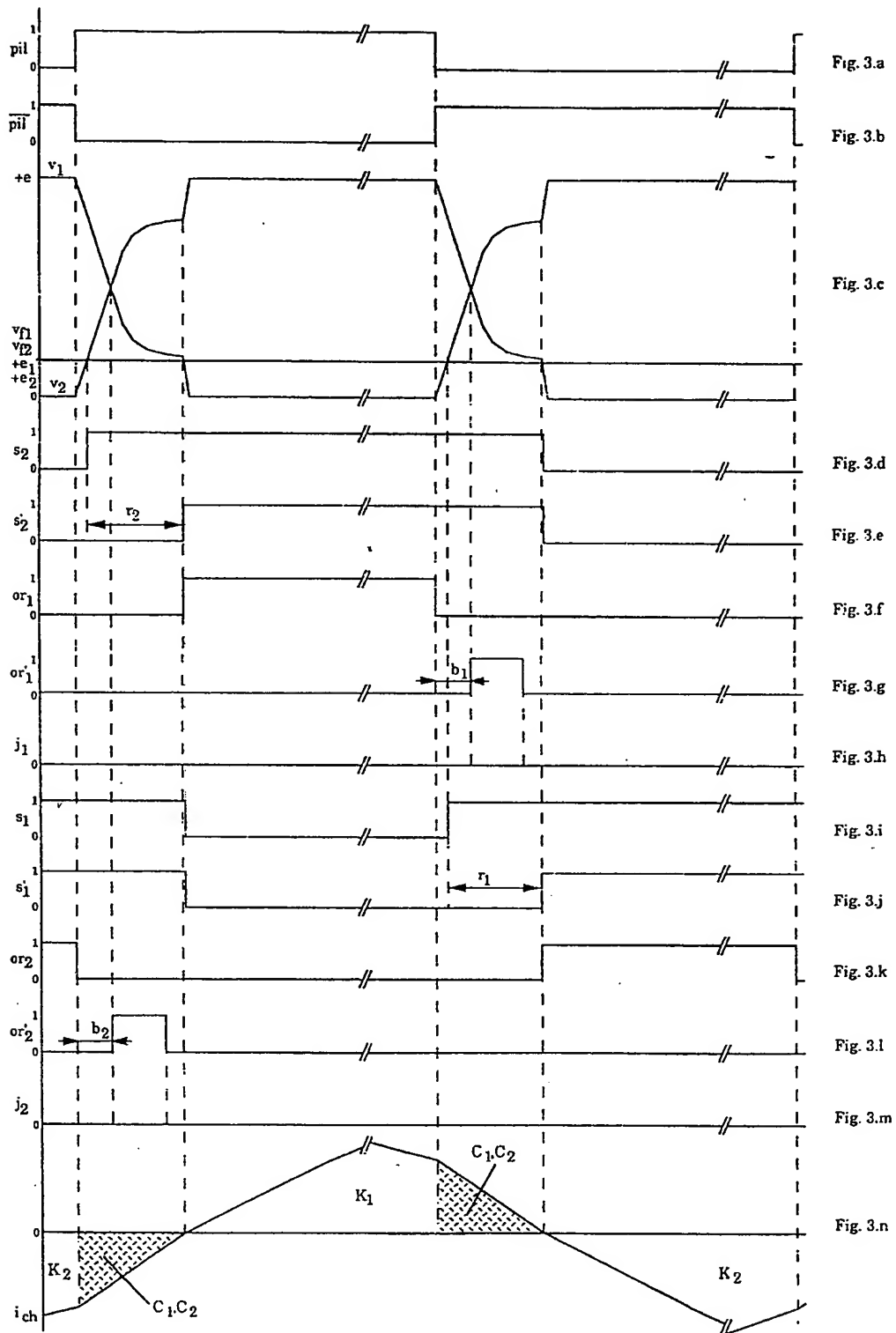
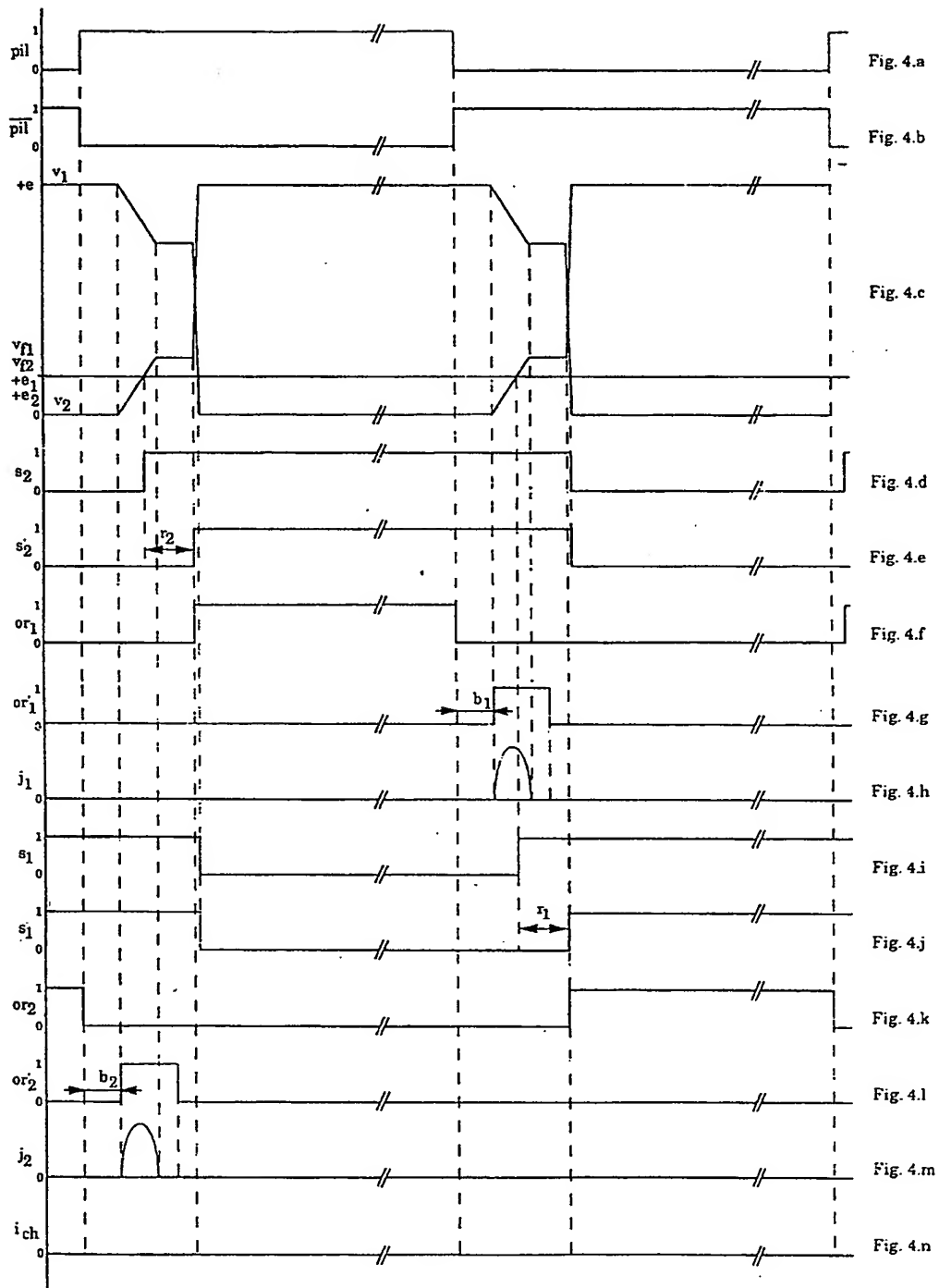
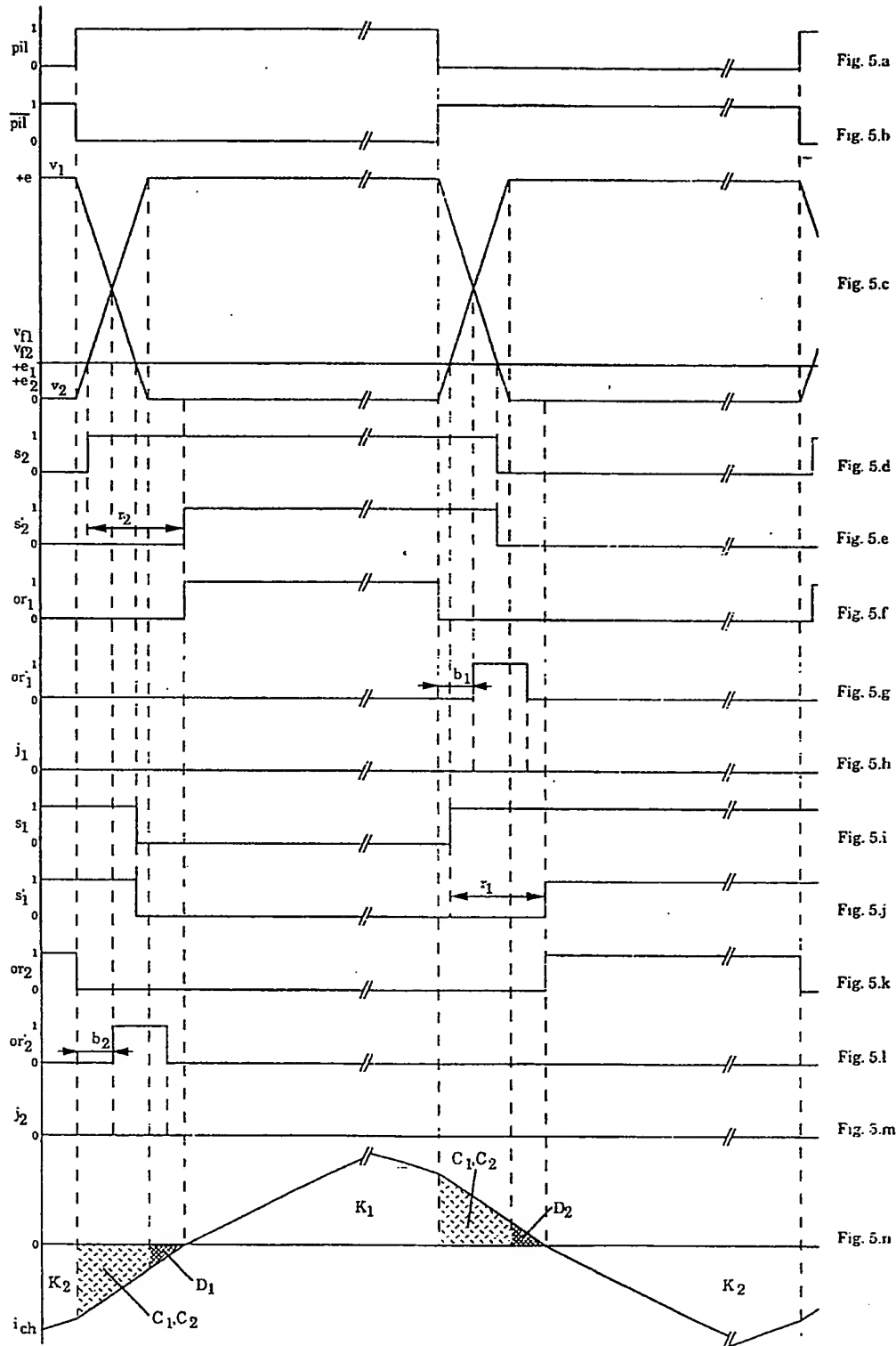


Fig.2







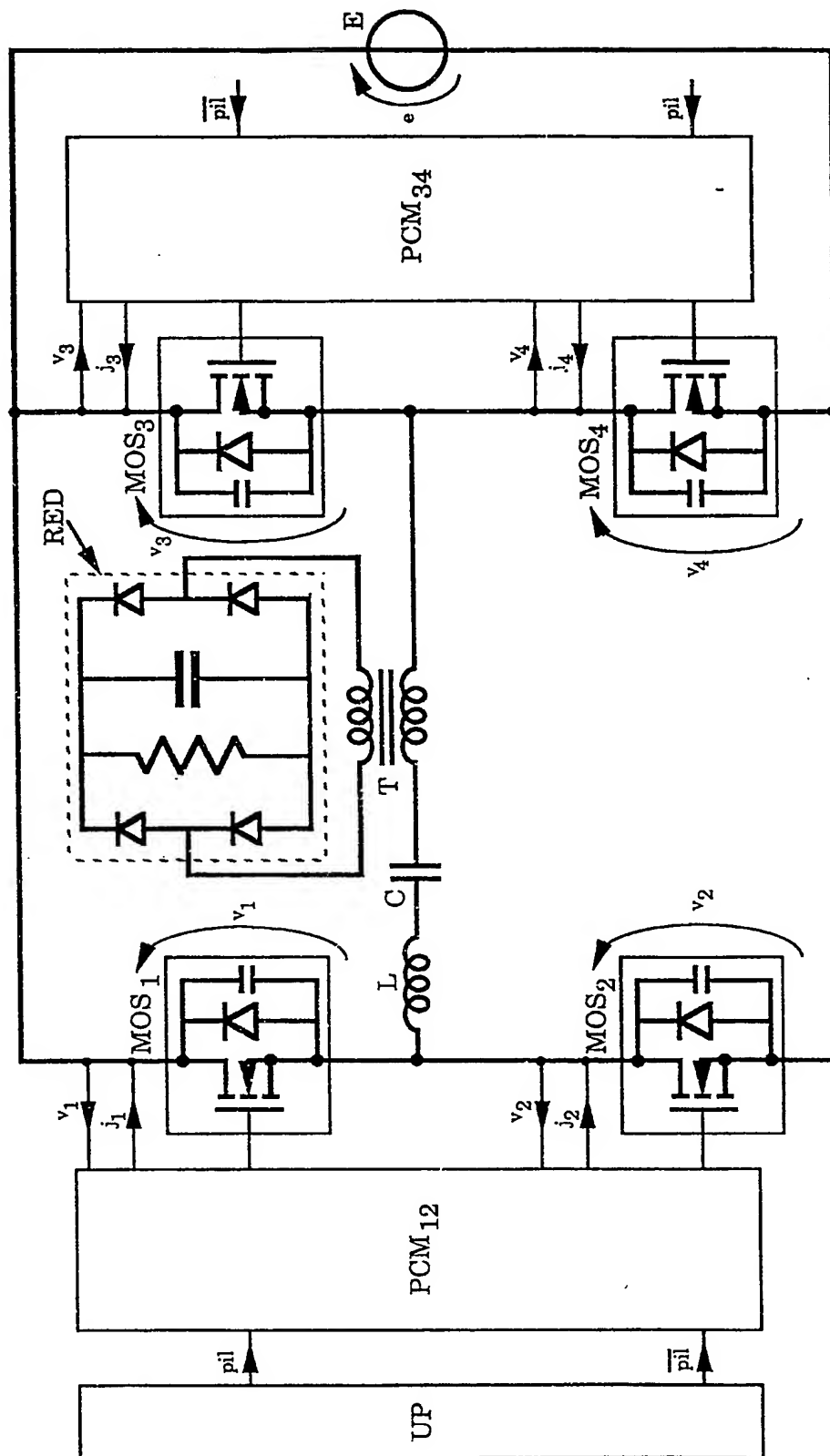


Fig.6

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9109710
FA 465188

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US-A-4 641 231 (WALKER & LEZAN) * le document en entier *	1-3
X	DE-A-4 038 299 (ELPRO AG) * le document en entier *	1-3
D,A	2ND EUROPEAN CONFERENCE ON POWER ELECTRONICS AND APPLICATIONS 1987, GRENOBLE pages 185 - 190; BARRET: 'Interactive Switching in a Bridge-Leg' * le document en entier *	1-3
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H02M H02H
Date d'achèvement de la recherche 16 AVRIL 1992		Examinateur VAN DEN DOEL J.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.